

PCT/JP 2004/008431

日 本 国 特 許 庁
JAPAN PATENT OFFICE

17. 6. 2004

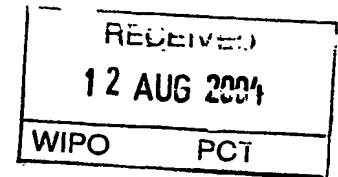
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 7 0 8 5 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 7 0 8 5 2]

出 願 人 日 本 ミ ク ロ ン 株 式 会 社
Applicant(s):

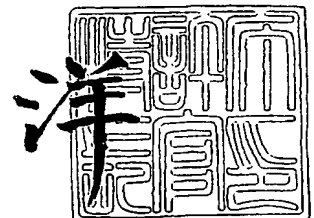


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 7 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 6 6 8 6 3

【書類名】 特許願

【整理番号】 P0356184

【提出日】 平成15年 6月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/12
H05K 1/18

【発明の名称】 半導体装置用基板、半導体装置およびその製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 長野県岡谷市川岸上 1 - 9 - 2 8

【氏名】 小松 隆次

【特許出願人】

【識別番号】 000230216

【氏名又は名称】 日本ミクロン株式会社

【代理人】

【識別番号】 100077621

【弁理士】

【氏名又は名称】 綿貫 隆夫

【選任した代理人】

【識別番号】 100092819

【弁理士】

【氏名又は名称】 堀米 和春

【手数料の表示】

【予納台帳番号】 006725

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置用基板、半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 デカップリングコンデンサ等の回路部品を基板に搭載可能に設けた半導体装置用基板であって、

基板の素子搭載面と反対側の面からザグリ加工が施され、該ザグリ加工により回路部品と電氣的に接続される接続端子が内底面に露出した部品搭載穴が設けられていることを特徴とする半導体装置用基板。

【請求項 2】 前記基板が、コア基板に単層あるいは複数層に配線層が形成されてなり、

前記基板の素子搭載面と反対側の面からザグリ加工を施して、前記配線層に形成された接続端子が内底面に露出した部品搭載穴が設けられていることを特徴とする請求項 1 記載の半導体装置用基板。

【請求項 3】 前記部品搭載穴が、半導体素子の搭載領域内に形成されていることを特徴とする請求項 1 または 2 記載の半導体装置用基板。

【請求項 4】 前記部品搭載穴内に、接続端子と電氣的に接続して回路部品が搭載されていることを特徴とする請求項 1 ～ 3 のいずれか一項記載の半導体装置用基板。

【請求項 5】 前記回路部品として、デカップリングコンデンサが搭載されていることを特徴とする請求項 4 記載の半導体装置用基板。

【請求項 6】 請求項 4 または 5 記載の半導体装置用基板に、フリップチップ接続によって半導体素子が搭載されていることを特徴とする半導体装置。

【請求項 7】 デカップリングコンデンサ等の回路部品を基板に搭載可能に設けた半導体装置用基板の製造方法であって、

単層あるいは複数層に配線層を形成した基板を用意し、

該基板の素子搭載面と反対側の面からザグリ加工を施して、基板の内層あるいは前記配線層の内層に形成されている、前記回路部品と電氣的に接続する接続端子を露出させた部品搭載穴を形成して半導体装置用基板とすることを特徴とする半導体装置用基板の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は半導体装置用基板、半導体装置およびその製造方法に関し、より詳細にはデカップリングコンデンサ等の回路部品を容易に搭載可能とした半導体装置用基板、半導体装置およびその製造方法に関する。

【0002】**【従来の技術】**

ICは、高速化にともない電流量の変化が大きくなり、高速スイッチング等によって電源電圧の変動によるノイズの影響を受けやすくなってきている。また、ICは低消費電力化とともに駆動電圧が低くなってきているため、電源電圧のわずかな変動によっても電圧の変動率が高くなり、電圧変動による影響を受けやすくなっている。これらの問題はICの高速化を阻害する限界要因となるものであり、これらの問題を解消する方法として、半導体素子の電源ラインと接地ラインとの間に並列にデカップリングコンデンサを設けることが行われている。

【0003】

デカップリングコンデンサを配置する場合は、ICの高密度化とともにIC内部での稼動素子数が増えるため、できるだけ大容量のコンデンサを配置することが必要不可欠であり、また高速信号に対するインダクタンスを小さくするため、稼動素子のできるだけ近くに配置して信号経路を短くする必要がある。このため、従来は、半導体素子が搭載されている面と同一の基板面上で半導体素子にできるだけ近い位置にコンデンサを配置したり、半導体素子の直下の基板の裏面側にコンデンサを配置したりしている。

【0004】

なお、このような基板とは別体に形成したコンデンサを使用するかわりに、基板自体にデカップリングコンデンサを作り込んだ半導体装置用基板も提案されている。たとえば、ビルドアップ法等によって基板上に配線層を形成する際にデカップリングコンデンサを作り込む方法（特許文献1参照）、デカップリングコンデンサと配線層を回路基板に作り込んでインターポーザとして使用する方法（特

許文献 2 参照) 等である。

【0005】

【特許文献 1】

特開 2003-133507 号公報

【特許文献 2】

特開 2001-250885 号公報

【0006】

【発明が解決しようとする課題】

上記の基板内にデカップリングコンデンサを組み込んだ半導体装置用基板は、基板にチップコンデンサ等のデカップリングコンデンサを搭載する方法にくらべて、半導体素子とデカップリングコンデンサとの間の配線長を短くすることができ、これによって回路のインダクタンスを小さくすることが可能である。しかしながら、ビルドアップ層等の層中にデカップリングコンデンサを作り込む場合は、コンデンサを組み込む場合にくらべて 2 桁～5 桁も小さな容量のものとなってしまう、IC の高速化に好適に対応することができないという問題がある。

【0007】

一方、基板にチップコンデンサ等のコンデンサを搭載する方法は、十分なデカップリング作用を有する大きな容量を備えたコンデンサを容易に搭載できるという利点はあるものの、基板内にデカップリングコンデンサを組み込む方法と比較して半導体素子と接続される配線長を短くすることができないという問題がある。半導体素子の直下の基板の裏面にデカップリングコンデンサを配置するようにする方法では、基板の厚さを薄くして IC とデカップリングコンデンサとの配線長さを短くすることも考えられているが、基板の厚さを薄くすると半導体素子を搭載する基板として所要の強度が得られなくなり、半導体素子と基板との間に生じる熱応力によって基板が変形するといった問題が生じる。また、基板の半導体素子搭載面と反対側の面に回路部品を搭載する場合は、はんだバンプの高さよりも回路部品を低くするため薄い回路部品しか搭載できず、十分な容量のコンデンサを搭載することが難しいという問題がある。

【0008】

また、基板内にコンデンサを埋め込む方法として、基板の表面近くにコンデンサを埋め込み、この上にビルドアップ法等によって配線層を形成するといったことも考えられるが、埋め込んだコンデンサの上部を平坦にすることは難しく、厚いコンデンサを埋め込むことができないため、十分な容量を得ることができないという問題がある。また、半導体素子と基板、コンデンサとの間で作用する熱応力によって、これらの接続部の信頼性に問題が生じ得る。このため、半導体装置用基板を量産する方法として現実的な方法として採用することが難しい。

【0009】

そこで、本発明はこれらの課題を解決すべくなされたものであり、その目的とするところは、半導体素子の稼動部とデカップリングコンデンサ等の回路部品との配線長を極力短くすることによって回路のインダクタンスを効果的に抑えることができるとともに、基板とは別体に形成したデカップリングコンデンサ等の回路部品を容易に搭載可能とし、これによって半導体素子のさらなる高速化にも好適に対応することが可能であり、量産にも対応することができる、半導体装置用基板、半導体装置およびその製造方法を提供するにある。

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明は次の構成を備える。

すなわち、デカップリングコンデンサ等の回路部品を基板に搭載可能に設けた半導体装置用基板であって、基板の素子搭載面と反対側の面からザグリ加工が施され、該ザグリ加工により回路部品と電氣的に接続される接続端子が内底面に露出した部品搭載穴が設けられていることを特徴とする。

【0011】

また、前記基板が、コア基板に単層あるいは複数層に配線層が形成されてなり、前記基板の素子搭載面と反対側の面からザグリ加工を施して、前記配線層に形成された接続端子が内底面に露出した部品搭載穴が設けられていることを特徴とする。基板にザグリ加工を施して部品搭載穴を形成したことによって、基板の材厚を有効に利用して回路部品を基板に搭載することが可能になり、大容量のデカップリングコンデンサ等の回路部品を容易に搭載することが可能になり、高速信

号特性のすぐれた半導体装置用基板として提供することが可能になる。

また、前記部品搭載穴が、半導体素子の搭載領域内に形成されていることにより、半導体素子と回路部品との配線長を効果的に短縮することができ、半導体装置の高速信号特性を向上させることができる。

また、前記部品搭載穴内に、接続端子と電氣的に接続して回路部品が搭載されていることを特徴とする。半導体装置用基板は部品搭載穴に回路部品を搭載した状態で提供することもできる。回路部品として、デカップリングコンデンサを搭載した半導体装置用基板はとくに好適に使用できる。

【0012】

また、前記半導体装置用基板に、フリップチップ接続によって半導体素子が搭載されていることを特徴とする。フリップチップ接続によって半導体素子を搭載した場合には、半導体素子と回路部品との配線長を効果的に短縮することができ、回路のインダクタンスを低減させて、高速信号に対する電氣的特性の優れた半導体装置として提供することが可能になる。

【0013】

また、デカップリングコンデンサ等の回路部品を基板に搭載可能に設けた半導体装置用基板の製造方法であって、単層あるいは複数層に配線層を形成した基板を用意し、該基板の素子搭載面と反対側の面からザグリ加工を施して、基板の内層あるいは前記配線層の内層に形成されている、前記回路部品と電氣的に接続する接続端子を露出させた部品搭載穴を形成して半導体装置用基板とすることを特徴とする。本発明方法によれば、ビルドアップ法等の従来方法を利用して配線基板を形成した後、ザグリ加工によって部品搭載穴を形成して半導体装置用基板とすることができるから、配線基板の製造工程にはなんら制約が及ぼされず、容易に微細な配線パターンを形成することが可能であり、また、ザグリ加工によることで所要の深さ、大きさの部品搭載穴を形成することが可能になる。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について、添付図面とともに詳細に説明する。図1は、本発明に係る半導体装置用基板30に、フリップチップ接続によって半導体

素子 10 を搭載した半導体装置の構成を示す断面図である。

本実施形態の半導体装置用基板 30 は、基板自体に、基板とは別体に形成したデカップリングコンデンサとしての回路部品 50 を搭載したものであり、基板を半導体素子の搭載面とは反対側の面からザグリ加工して基板に部品搭載穴 32 を形成し、部品搭載穴 32 に回路部品 50 を収容するようにして搭載したことを特徴とする。

【0015】

部品搭載穴 32 は基板をザグリ加工して一個または複数個の回路部品 50 を収容するに十分な大きさの凹部状に形成するとともに、内底面に半導体素子 10 と電氣的に接続した接続端子 23a を露出させ、接続端子 23a と電氣的に接続して回路部品 50 を搭載可能とする。図示例では、回路部品 50 の電極にはんだバンプ 52 を設けて接続端子 23a に回路部品 50 をはんだ接続している。

回路部品 50 を接続端子 23a に接続した後、回路部品 50 と部品搭載穴 32 の内底面との隙間にアンダーフィル材 54 を注入し、回路部品 50 と部品搭載穴 32 の内面との間に封止材 55 を注入して回路部品 50 と接続端子 23a との接続の確実性を高め、回路部品 50 を封止する。

なお、回路部品 50 を接続端子 23a に電氣的に接続する方法としては、はんだバンプ 52 を使用する他に、通常のはんだ付けによる方法、導電性ペーストを使用する方法、異方性導電フィルムを利用して接続する方法等を利用することができる。

【0016】

半導体装置用基板 30 は樹脂基板からなるコア基板 20 の両面に所定の配線パターン 16、18 を備えた配線層 12、13 を形成したものである。14 が電氣的絶縁層、15 がビアである。

本実施形態の半導体装置用基板 30 は、フリップチップ接続によって半導体素子 10 を搭載するもので、基板の素子搭載面に半導体素子 10 の電極配置に合わせて接続パッド 16a を設けている。半導体素子 10 ははんだバンプ 10a を介して接続パッド 16a にフリップチップ接続され、半導体素子 10 と基板との間がアンダーフィルされる。

【0017】

本実施形態では配線層 12 は、ビア 15 を介して接続パッド 16 a とコア基板 20 の表面に形成した配線パターン 23 とを電氣的に接続した単層のものであるが、ビルドアップ法等により配線パターンを複数層に積層した配線層とすることも可能である。また、コア基板として多層形成したものを使用することも可能である。

22 はコア基板 20 に設けた導通部、18 a は配線層 13 に設けたランド、40 はランド 18 a に接合した外部接続端子である。半導体素子 10 はビア 15、導通部 22 等を介して外部接続端子 40 と電氣的に接続される。

【0018】

なお、本実施形態において、半導体装置用基板 30 に対して施すザグリ加工とは、基板の一方の面から切削刃を用いて切削加工を施し、基板に所定の深さの凹部を形成する加工技術をいう。

内層に導体層が形成されている多層配線基板に対してザグリ加工を施して、内層の導体層を露出させるように加工する方法にはいくつかの方法があるが、本実施形態においては、切削刃を高速で回転させながら基板に進入させていき、切削刃が内層の導体層に接触した瞬間をセンサによって検知することにより、切削刃の切削位置を制御するようにしている。切削刃を高速で回転させるようにすること、切削刃が導体層に接触した瞬間を精度よく検知することによって、加工効率を下げることなく、導体層の削り過ぎを防止して内層の導体層を露出させるように加工することができる。

実際の加工においては、研削刃による検知精度を向上させることによって、内層の導体層の厚さが $35\mu\text{m}$ 以上の場合には、導体層の表面を 20% 程度以下ザグリ加工した状態で導体層を露出させることが可能となっている。

【0019】

図 1 に示すように、本実施形態の半導体装置用基板 30 はザグリ加工によって形成した部品搭載穴 32 に回路部品 50 を搭載する構成としたことによって、半導体素子 10 の直下の一つまたは複数の必要個所に配線層 12 を挟んで回路部品 50 を配置することができ、半導体素子 10 と回路部品 50 とを接続する配線長

をきわめて短くすることが可能となる。図示例の場合は、半導体素子10と回路部品50とは、接続パッド16a、ビア15およびコア基板20の表面に形成された配線パターンを介して接続されている。回路部品50は半導体素子10の所要の電極にもっとも接近した配置となるように部品搭載穴32内に配置すればよい。

このように、本実施形態の半導体装置用基板30によれば、半導体素子10とデカップリングコンデンサとを接続する配線長を短くすることができ、高速信号に対する回路のインダクタンスを効果的に低下させることが可能になる。

【0020】

また、部品搭載穴32はコア基板20の厚さ分の深さ寸法を有しているから、この部品搭載穴32に収納可能な大きさのチップコンデンサ等の回路部品50を基板に搭載することが可能になる。実際には、基板に取り付けたはんだボール等の外部接続端子40の高さ範囲内であれば、部品搭載穴32から突出する大きさの回路部品50を搭載することができる。また、コア基板20の表面に配線層を積層して形成し、配線層の内層までザグリ加工することによって、より深い部品搭載穴32を形成することも可能である。

【0021】

本実施形態の半導体装置用基板30は基板の材厚を利用して基板内に回路部品50を搭載するように形成したことを特徴とするものであり、これによって、半導体装置の全体の厚さを厚くすることなく回路部品50を搭載可能することを可能にしたものである。図1に示すようなコア基板20上に配線層を形成した半導体装置用基板ではコア基板20の厚さが基板全体の主要部を占めるから、基板の厚さを利用して回路部品50を搭載する方法は、半導体装置の全体厚を変えずに回路部品50を搭載する方法としてもっとも有効である。これによって、厚さの厚いコンデンサであっても基板に搭載することが可能となり、デカップリングコンデンサとして十分な容量を有するコンデンサを搭載することが可能となる。また、コア基板20は所要の強度を備えているから、半導体素子10をフリップチップ接続によって搭載した際に、半導体素子10と半導体装置用基板30との間で生じる熱応力に耐えることができる半導体装置用基板30として提供すること

ができる。

【0022】

図2は、半導体装置用基板30を素子搭載面の反対面側から見た状態を示す。本実施形態の半導体装置用基板30では、半導体素子10の搭載領域内に部品搭載穴32が形成され、複数の回路部品50が配置されている。回路部品50は半導体素子10との配置位置関係において、もっとも配線長が短くできる配置に搭載すればよい。最近の半導体素子10は機能が複合化され、並列稼動する素子の複合体として構成されている。回路部品50はこれらの素子で必要とされている部位の近くに配置する。

なお、実際に部品搭載穴32を加工する工程では、基板を多数個取りする大判の基板をワークとし、個々の単位基板に対して、これらの部品搭載穴32をザグリ加工によって形成する。

【0023】

図3、4は図1に示す半導体装置用基板30を製造する製造工程を示す。

半導体装置用基板30はコア基板20の両面に、ビルドアップ法等の公知の方法によって配線層を形成して得られるものであり、基板に配線層を形成する製造工程はとくに限定されるものではない。図1に示す半導体装置用基板30はフィルドビアを備えた基板であり、以下では、銅バンプ付き銅箔を利用して配線層を形成する方法を示す。

【0024】

図3(a)は、半導体装置用基板30に使用する樹脂基板からなるコア基板20を示す。このコア基板20は両面銅張り基板に貫通孔を形成し、貫通孔にスルーホールめっきを施して導通部22を形成し、基板の両面の銅箔をエッチングして配線パターン23を形成したものである。コア基板20の半導体素子10を搭載する面には回路部品50に接続される接続端子23aが形成されている。

図3(b)は、コア基板20の両面に銅バンプ付き銅箔24、25を接合する工程を示す。24a、25aが銅バンプ付き銅箔24、25に形成されている銅バンプである。銅バンプ24a、25aはコア基板20に形成されている配線パターン23の配置に合わせて形成されている。

【0025】

26は銅バンプ付き銅箔24、25をコア基板20に接合するためのプリプレグである。銅バンプ付き銅箔24、25はプリプレグ26とともにコア基板20を両面から挟むように加圧および加熱することによってコア基板20の両面に接合される。この接合操作の際に、銅バンプ付き銅箔24、25の銅バンプ24a、25aは、その頂部がコア基板20に形成されている配線パターン23に食い込み、銅バンプ24a、25aと配線パターン23とが電氣的に導通した状態となる。銅バンプ24a、25aは頂部が細径に形成され、配線パターン23の導体にくい込んで電氣的導通が確実になされるように形成されている。プリプレグが溶融して硬化することにより、銅バンプ24a、25aが配線パターン23にくい込んだ状態で銅バンプ付き銅箔24、25がコア基板20に一体に接合される(図3(c))。

【0026】

図3(d)は、コア基板20に接合された銅バンプ付き銅箔24、25の銅箔部分をエッチングして基板の両面に配線パターン16、18を形成した状態を示す。銅バンプ付き銅箔24、25は銅箔と銅バンプ24a、25aとが一体形成されているから、銅箔をエッチングして配線パターン16、18を形成することにより、銅バンプ24a、25aを介して層間で配線パターンが電氣的に接続された状態になる。この場合、銅バンプ24a、25aはフィルドビアとして作用し、プリプレグ26は層間で配線パターンを電氣的に絶縁する電氣的絶縁層14として作用する。

【0027】

図4(a)は、本製造工程においてもっとも特徴的な工程で、コア基板20にザグリ加工を施して部品搭載穴32を形成した状態を示す。半導体装置用基板30の素子搭載面と反対側の面から、ザグリ加工用の切削刃を回転させながら切削刃を基板内に進入させ、電氣的絶縁層14とコア基板20を厚さ方向に切削して部品搭載穴32を形成する。

部品搭載穴32はコア基板20の表面に形成されている接続端子23aの端面(コア基板20に被着している面)を切削刃によってわずかに切削し、内底面に

接続端子 23a が露出するようにザグリ加工する。切削刃を部品搭載穴 32 の形成領域に合わせて移動させることによって、所定の大きさに部品搭載穴 32 を形成することができる。

【0028】

ザグリ加工によって部品搭載穴 32 を形成した後、必要に応じて部品搭載穴 32 の内底面に露出している接続端子 23a にめっきを施し、回路部品 50 を搭載する（図 4 (b)）。回路部品 50 ははんだバンプ、はんだ付け、導電性ペースト、異方導電性フィルム等を使用して接続端子 23a と電氣的に接続して部品搭載穴 32 内に搭載する。

なお、半導体装置用基板 30 は図 4 (a) に示す基板に部品搭載穴 32 を形成した状態でも提供できるし、図 4 (b) に示すように部品搭載穴 32 に回路部品 50 を搭載した状態でも提供することができる。

図 4 (c) は、上述した方法によって形成した半導体装置用基板 30 に半導体素子 10 をフリップチップ接続によって搭載し、ランド 18a に外部接続端子 40 を接合した状態を示す。

【0029】

本実施形態の半導体装置用基板 30 の製造工程ではコア基板 20 と銅バンプ付き銅箔 24、25 を利用して配線基板を形成した後、ザグリ加工によって部品搭載穴 32 を形成している。このようにコア基板 20 の両面あるいは一方の面に配線層を形成した後にザグリ加工を施して部品搭載穴 32 を形成する方法は、基板に配線パターン等を高精度に形成して回路部品 50 を搭載する方法としてきわめて有効である。コア基板 20 に回路部品 50 を搭載するための部品搭載穴 32 をあらかじめ形成した後に、コア基板 20 の両面に配線層を形成するといった方法による場合は、部品搭載穴 32 を遮蔽したり部品搭載穴 32 をなんらかの形で充填したりして配線層を形成するといった製造工程によらなければならない、ほとんど現実的な製造工程となり得ない。

【0030】

一方、上述したザグリ加工によって部品搭載穴 32 を形成して半導体装置用基板 30 とする方法の場合は、配線基板を形成した後にザグリ加工によって部品搭

載穴 32 を形成する方法であるから、配線基板を形成する工程においては通常の配線基板の製造工程がそのまま利用できるという利点がある。すなわち、本発明方法によれば、多層板あるいはビルドアップ基板として通常の製造方法によって配線基板を形成した後、ザグリ加工により内層の導体層を削り出すことによって、回路部品 50 を搭載する部品搭載穴 32 を形成することが可能であり、きわめて微細な配線パターンを形成した配線基板に対してザグリ加工を施して半導体装置用基板とすることが可能となる。

【0031】

図 5 は、コア基板 20 の素子搭載面側に複数の配線層を積層して形成した基板に部品搭載穴 32 を形成して半導体装置用基板 30 とし、半導体装置用基板 30 に半導体素子 10 を搭載した半導体装置を示す。コア基板 20 の半導体素子搭載面に形成された配線層は、ビア 15 を介して層間で配線パターン 16 が電氣的に接続されて形成されている。

本実施形態では、図 3、4 に示す銅バンプ付き銅箔を使用し、フィルドビアに形成されたビア 15 を介して層間で配線パターン 16 が電氣的に接続されているが、配線パターン 16 を層間で電氣的に接続する方法としては配線層の形成方法により、めっきによってビアを形成する方法、フィルドビアとして形成する方法、導電性ペーストをビア穴に充填して形成する方法等がある。ザグリ加工によって部品搭載穴 32 を形成する方法は、これらの配線層の形成方法によって制限されたりするものではない。ビアの端面を削り出しして接続端子 23a とする場合も、これらのいずれのビア形態にも適用できる。

【0032】

図 5 に示す実施形態では、コア基板 20 の素子搭載面側に形成された配線層の内層の導体層を削り出すことによって部品搭載穴 32 を形成している。図 1 に示す実施形態のように、コア基板 20 の端面位置に合わせてザグリ加工する他に、このように複数層に形成された配線層の内層位置に合わせてザグリ加工し、内底面に接続端子を露出させて部品搭載穴 32 を形成するようにすることも可能である。

図では、コア基板 20 の素子搭載面に形成した配線層の厚さを、説明上、コア

基板 20 の厚さに対して拡大した比率で示している。実際の多層配線基板では、ビルドアップ法等によってコア基板 20 の表面に形成される配線層は、コア基板 20 の厚さに対してはるかに薄く形成される。その意味で、回路部品 50 をコア基板 20 の材厚を利用して基板内に収納する構成とすることは部品の搭載方法として有効であり、また、半導体素子 10 と回路部品 50 との間の配線長も効果的に短縮することが可能となる。

【0033】

図 6 は多層板からなるコア基板 20 を使用した半導体装置用基板 30 に半導体素子 10 を搭載した半導体装置を示す。半導体装置用基板 30 はコア基板 20 の両面に複数層に配線層が積層して形成されたものである。この実施形態の場合も半導体装置用基板 30 を素子搭載面と反対面側からザグリ加工し、素子搭載面と反対面側に部品搭載穴 32 を形成し、部品搭載穴 32 に回路部品 50 を搭載している。コア基板 20 の両面に多層に配線層が形成されている。

【0034】

このように、半導体装置用基板としては、両面に配線パターンが形成された両面基板をコア基板として、コア基板の両面にビルドアップ法等によって単層あるいは複数層に配線層を形成したもの、内層に配線パターンを形成して多層に形成したコア基板の両面に単層あるいは複数層に配線層を形成したもの、コア基板を使用せず、ビルドアップ工法のみで配線層を形成したものがある。本発明はこれらの半導体装置用基板に同様に適用することができる。また、内層に配線パターンを形成した多層にコア基板を形成したものについては、コア基板の内層の配線パターンを露出させるようにザグリ加工を施してデカップリングコンデンサを搭載するようにすることもできる。また、ビルドアップ基板の他に、通常の高層基板の内層を削り出してデカップリングコンデンサを搭載することも可能であることはもちろんである。

【0035】

なお、上記実施形態においては、半導体素子 10 をフリップチップ接続によって搭載した例を示したが、フリップチップ接続以外のワイヤボンディング等によって半導体素子 10 を搭載した場合でも、上述したザグリ加工により基板の材厚

を利用してデカップリングコンデンサを搭載するようにすることができる。また、上記実施形態においては、回路部品 50 としてデカップリングコンデンサを搭載する例を主として説明したが、コンデンサ以外に抵抗等の回路部品 50 を搭載することももちろん可能である。また、上記実施形態においては、一つのパッケージに一つの半導体素子 10 を搭載した例を示したが、複数の半導体素子を一つのパッケージに搭載し、各々の半導体素子に対応して部品搭載穴 32 を一つもしくは複数形成し、部品搭載穴 32 に適宜回路部品 50 を搭載することによって、高速信号に対する電気的特性の優れた複合パッケージとして構成することができる。

【0036】

【発明の効果】

本発明によれば、上述したように、基板の材厚を利用することによって、半導体装置の全体の厚さを厚くすることなく、基板と別体に形成された大容量のデカップリングコンデンサ等の回路部品を容易に搭載することを可能とし、これによって、高速信号に対する電気的特性の優れた半導体装置用基板として提供することが可能になる。また、部品搭載穴に回路部品を搭載する方法によることから、半導体素子と回路部品との配線長が効果的に短縮でき、回路のインダクタンスを低減させることによって、すぐれた電気的特性を得ることができる等の著効を奏する。

【図面の簡単な説明】

【図 1】

本発明に係る半導体装置の一実施形態の構成を示す断面図である。

【図 2】

実施形態の半導体装置用基板の底面図である。

【図 3】

半導体装置用基板の製造方法を示す説明図である。

【図 4】

半導体装置用基板の製造方法を示す説明図である。

【図 5】

本発明に係る半導体装置の他の実施形態の構成を示す断面図である。

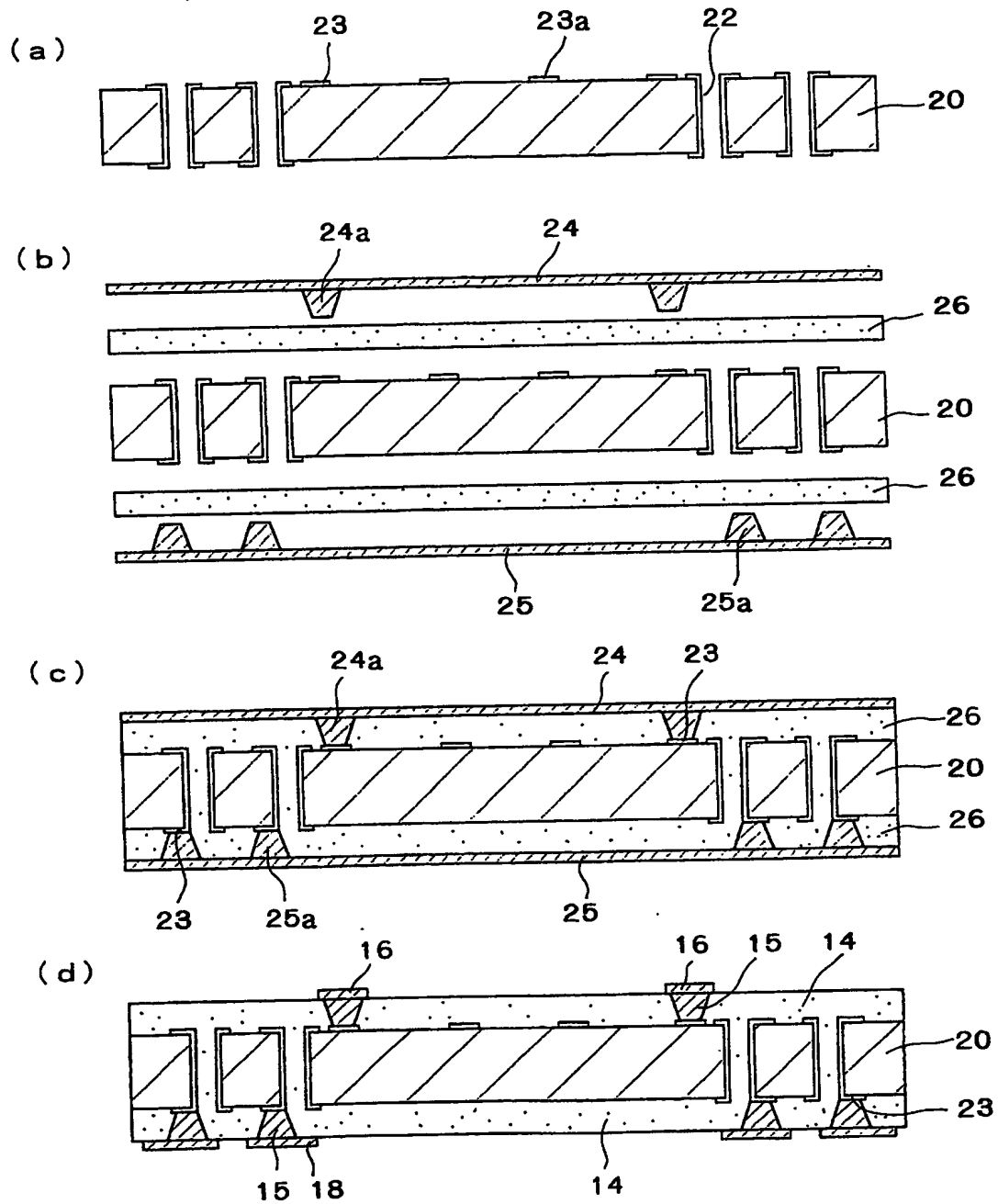
【図 6】

本発明に係る半導体装置のさらに他の実施形態の構成を示す断面図である。

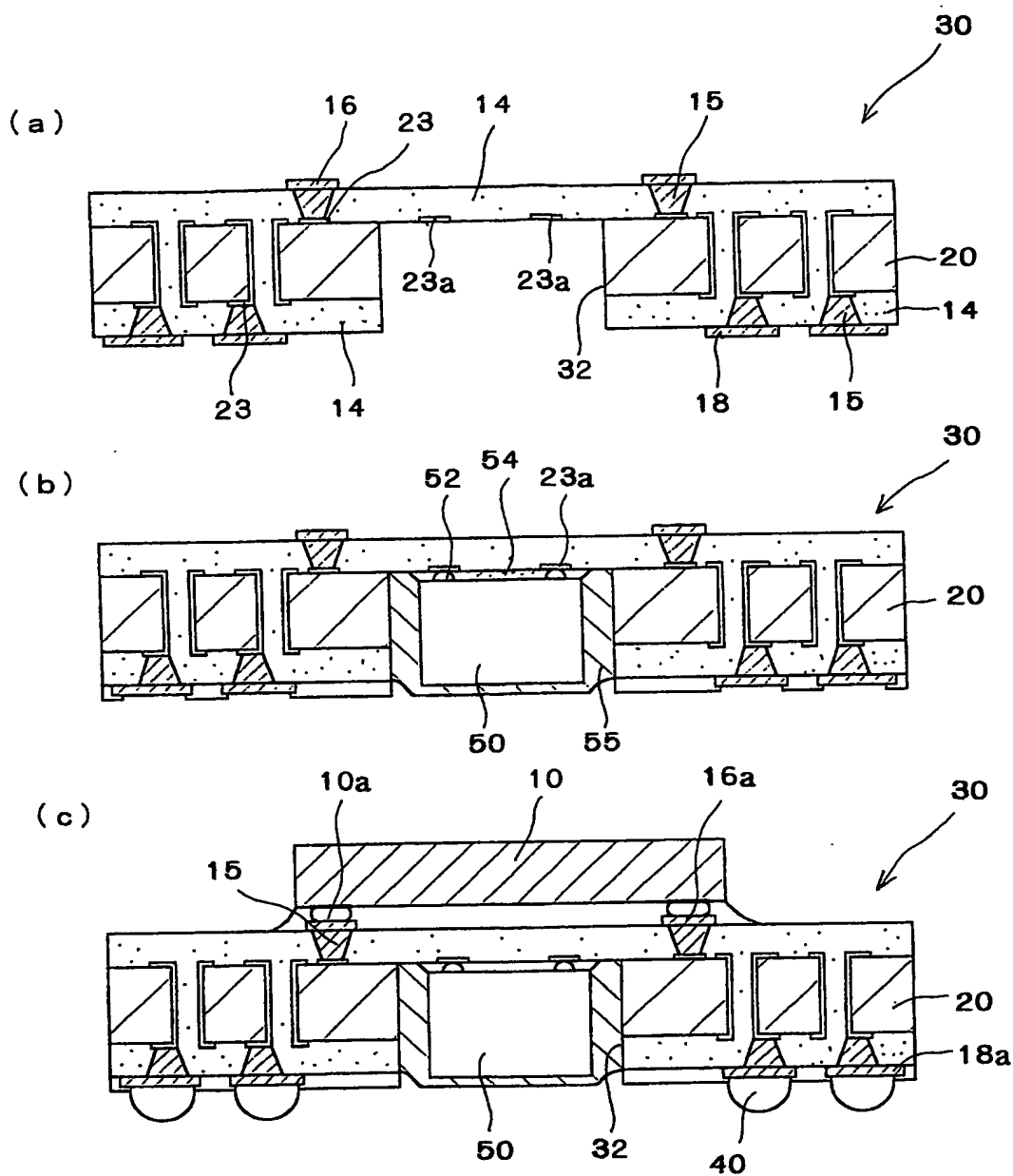
【符号の説明】

- 10 半導体素子
- 12、13 配線層
- 14 電氣的絶縁層
- 15 ビア
- 16、18、23 配線パターン
- 20 コア基板
- 22 導通部
- 23a 接続端子
- 24、25 銅バンプ付き銅箔
- 24a、25a 銅バンプ
- 26 プリプレグ
- 30 半導体装置用基板
- 32 部品搭載穴
- 40 外部接続端子
- 50 回路部品
- 54 アンダーフィル材
- 55 封止材

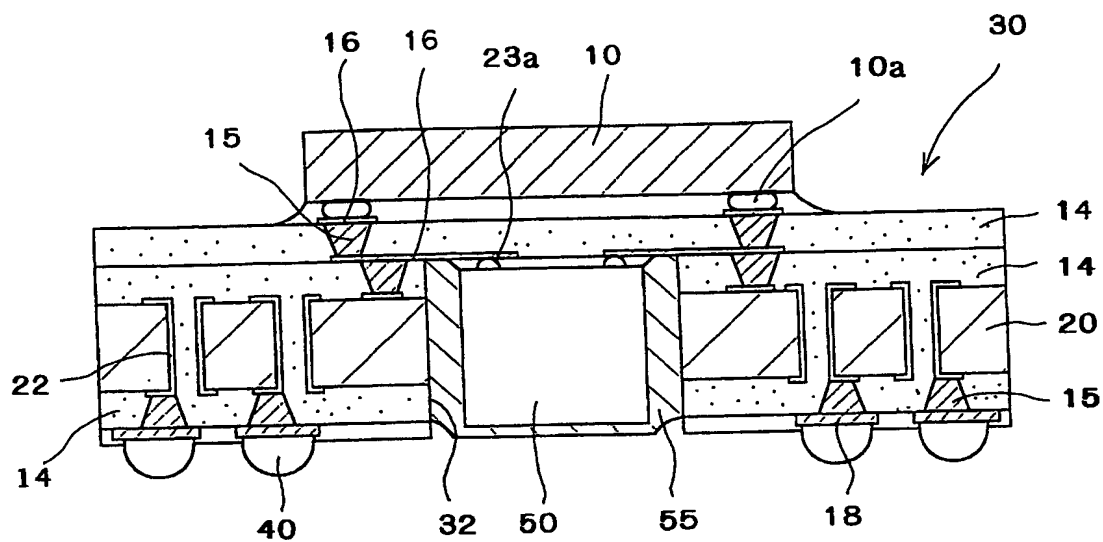
【図 3】



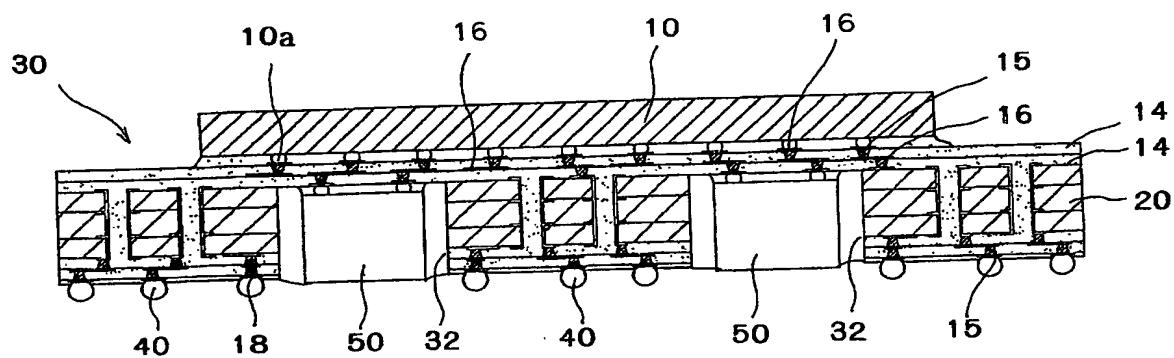
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 基板と別体に形成されたデカップリングコンデンサ等の回路部品を容易に搭載可能とし、これによって半導体装置用基板の高速信号に対する電気的特性を向上させる。

【解決手段】 デカップリングコンデンサ等の回路部品 5 0 を基板に搭載可能に設けた半導体装置用基板 3 0 であって、基板の実装面側からザグリ加工が施され、該ザグリ加工により回路部品 5 0 と電気的に接続される接続端子 2 3 a が内底面に露出した部品搭載穴 3 2 が設けられている。回路部品 5 0 が接続端子 2 3 a と電気的に接続されて搭載され、半導体素子 1 0 がフリップチップ接続によって基板に搭載されている。

【選択図】 図 1

職権訂正履歴 (職権訂正)

特許出願の番号	特願 2003-170852
受付番号	50301002971
書類名	特許願
担当官	田丸 三喜男 9079
作成日	平成15年 6月18日

<訂正内容1>

訂正ドキュメント

明細書

訂正原因

職権による訂正

訂正メモ

【図面の簡単な説明】の項目名を職権により改行しました。

訂正前内容

低減させることによって、すぐれた電気的特性を得ることができる等の著効を奏する。【図面の簡単な説明】

【図1】

訂正後内容

低減させることによって、すぐれた電気的特性を得ることができる等の著効を奏する。

【図面の簡単な説明】

【図1】

次頁無

特願 2 0 0 3 - 1 7 0 8 5 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 0 2 1 6]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

長野県岡谷市川岸上 3 丁目 4 番 5 号

氏 名

日本ミクロン株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.